

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-294757

(43)Date of publication of application : 05.12.1990

(51)Int.Cl.

G06F 13/38

G06F 3/12

(21)Application number : 01-115472

(71)Applicant : RICOH CO LTD

(22)Date of filing : 09.05.1989

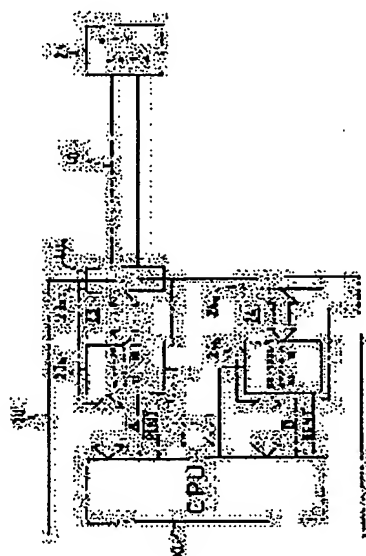
(72)Inventor : OKUBO HIROKI

(54) INPUT/OUTPUT APPARATUS

(57)Abstract:

PURPOSE: To make it unnecessary to execute the selecting and setting work of an optional interface circuit by deciding the sort of a connected interface and automatically selecting and setting either one of parallel and serial interfaces.

CONSTITUTION: A centronics interface 23 is constituted of a centronics connector 23a and a centronics interface circuit 23b and an RS-232C interface 24 is constituted of an RS-232C connector 24a and an RC-232S interface circuit 24b. When an interface cable 40 from a host system 21 is connected to either one of the connectors 23a, 24a, a detecting signal is outputted from its corresponding interface circuit and a CPU 30 decides the sort of the connected interface and automatically selects and sets up either one of them in accordance with the decided result. Consequently, the selecting and setting work are omitted.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-294757

⑫ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)12月5日

G 06 F 13/38
3/123 2 0 A
A8840-5B
8323-5B

審査請求 未請求 請求項の数 2 (全11頁)

⑭ 発明の名称 入出力機器

⑮ 特 願 平1-115472

⑯ 出 願 平1(1989)5月9日

⑰ 発 明 者 大 久 保 博 樹 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑲ 代 理 人 弁 理 士 大 澤 敬

明 細 書

1. 発明の名称

入出力機器

2. 特許請求の範囲

1 外部装置との入出力を制御するためのパラレルインタフェースとシリアルインタフェースの各コネクタとインタフェース回路を備えた入出力機器において、

前記パラレルインタフェース及びシリアルインタフェースの各コネクタのいずれか一方のみに外部装置からのインタフェースケーブルが接続された時、その接続されたインタフェースの種類を判別するインタフェース種別判別手段と、該手段の判別結果に応じて前記外部装置との間でのデータの入出力制御に使用するインタフェース回路として、前記パラレルインタフェースあるいはシリアルインタフェースのいずれか一方のインタフェース回路を自動的に選択して設定するインタフェース自動設定手段とを設けたことを特徴とする入出力機器。

2 外部装置との入出力を制御するためのパラレルインタフェースとシリアルインタフェースの各コネクタとインタフェース回路を備えた入出力機器において、

前記パラレルインタフェース及びシリアルインタフェースの各コネクタの両方にそれぞれ外部装置からのインタフェースケーブルが接続されている時、常時は前記パラレルインタフェース及びシリアルインタフェースのいずれのインタフェース回路も有効にしておき、前記インタフェースケーブルを介していずれか一方のインタフェース回路がデータを入力した時他方のインタフェース回路を無効にし、前記一方のインタフェース回路による前記外部装置との間の通信が終了した後、前記他方のインタフェース回路の無効を解除するインタフェース回路制御手段を設けたことを特徴とする入出力機器。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は各型プリンタ、イメージスキャナ、

デジタル複写機等の入出力機器に関し、特に外部装置との入出力を制御するためのパラレルインタフェースとシリアルインタフェースの各コネクタとインタフェース回路を備えた入出力機器に関する。

〔従来の技術〕

例えばプリンタやイメージスキャナのような入出力機器においては、オフィスコンピュータ、パーソナルコンピュータ、ワードプロセッサ、データ処理装置、画像処理装置等のいずれのホストシステム（外部装置）とも接続可能にするために、ホストシステムと接続するためのパラレルインタフェース（例えばセントロニクス）とシリアルインタフェース（例えばRS-231C）の各コネクタとインタフェース回路を備えたものがある。

このような入出力機器においては、そのパラレルインタフェース及びシリアルインタフェースの各コネクタのいずれか一方にホストシステムからのインタフェースケーブルが接続されていれば、それに対応するインタフェース回路を、あるいは

両方のコネクタに各ホストシステムからのインタフェースケーブルが接続されていれば、プリントデータを送信する側のホストシステムからのインタフェースケーブルが接続されたコネクタに対応するインタフェース回路を、例えば備え付けの操作パネル上でのキーあるいはデイツプスイツチの操作によつて選択的に設定するようにしている。

〔発明が解決しようとする課題〕

しかしながら、慣れない使用者はこのような設定作業をマニュアル（説明書）を参照しながら行なわなければならないので、その設定作業に先立つてマニュアルを用意しなければならず、また設定作業そのものが煩わしく手間がかかるという不都合があつた。

この発明は上記の点に鑑みてなされたものであり、このような従来の問題点を解消し、入出力機器におけるインタフェース回路の選択設定作業を不要にすることを目的とする。

〔課題を解決するための手段〕

この発明は上記の目的を達成するため、外部装

置との入出力を制御するためのパラレルインタフェースとシリアルインタフェースの各コネクタとインタフェース回路を備えた入出力機器において、上記パラレルインタフェース及びシリアルインタフェースの各コネクタのいずれか一方のみに外部装置からのインタフェースケーブルが接続された時、その接続されたインタフェースの種類を判別するインタフェース種別判別手段と、該手段の判別結果に応じて外部装置との間でのデータの入出力制御に使用するインタフェース回路として、パラレルインタフェースあるいはシリアルインタフェースのいずれか一方のインタフェース回路を自動的に選択して設定するインタフェース自動設定手段とを設けたものである。

また、パラレルインタフェース及びシリアルインタフェースの各コネクタの両方にそれぞれ外部装置からのインタフェースケーブルが接続されている時、常時はパラレルインタフェース及びシリアルインタフェースのいずれのインタフェース回路も有効にしておき、インタフェースケーブルを

介していずれか一方のインタフェース回路がデータを入力した時他方のインタフェース回路を無効にし、上記一方のインタフェース回路による上記外部装置との間の通信が終了した後、他方のインタフェース回路の無効を解除するインタフェース回路制御手段を設けたものも提供する。

〔作用〕

このように構成された入出力機器によれば、パラレルインタフェース及びシリアルインタフェースの各コネクタのいずれか一方のみに外部装置からのインタフェースケーブルが接続された時、インタフェース種別判別手段がその接続されたインタフェースの種類を判別し、その判別結果に応じてインタフェース自動設定手段がパラレルインタフェースあるいはシリアルインタフェースのいずれか一方のインタフェース回路を自動的に選択して設定する。

また、パラレルインタフェース及びシリアルインタフェースの各コネクタの両方にそれぞれ外部装置からのインタフェースケーブルが接続されて

いる時、インタフェース回路制御手段が、常時はパラレルインタフェース及びシリアルインタフェースのいずれのインタフェース回路も有効にしておき、インタフェースケーブルを介していずれか一方のインタフェース回路がデータを入力した時には他方のインタフェース回路を無効にし、上記一方のインタフェース回路による上記外部装置との間の通信が終了した後、他方のインタフェース回路の無効を解除する。

したがって、操作パネル上でのキー操作等によるインタフェース回路の選択設定作業が不要になる。

【実施例】

以下、この発明の実施例を添付図面に基づいて具体的に説明する。

第4図は、この発明の一実施例を示すレーザープリンタの外観斜視図である。

このレーザープリンタは、ワードプロセッサ、パーソナルコンピュータ、オフィスコンピュータ、データプロセッサ、ワークステーション、画像編

輯であり、エミュレーションカード挿入口7は、接続するホストシステムとこのプリンタとの間の整合を図るためのエミュレーションプログラムを格納したROMを有するエミュレーションカード(ICカード)を挿着するための挿入口である。

また、下ユニット1Bの右側面には用紙を載置保持する給紙トレイ9を取外し自在に装着し、さらに前面左側には、プリントした用紙の排紙方向としてプリンタの外部左方向(矢示A方向)及び上部排紙トレイ8へ向かう方向のいずれかに切換えるための排紙切替ツマミ10を備えている。

さらに、上ユニット1Aの裏側面には、ホストインタフェース用のコネクタとして後述するセントロニクス用とRS-232C用の2種のコネクタ(挿入口)を備えている。

これらの上ユニット1Aと下ユニット1Bとは背部でヒンジ結合しており、手前側でロック機構によつて互いに固定保持され、カバー3の前面から突出したロックレバーツマミ11を押上げることによつてロック機構が解除されて、上ユニット

集処理装置等のホストシステム(外部装置)からの文字や画像等のプリント用データを受け取つて、ページ単位でビデオ(ビットマップ)データを作成し、それをシート用紙や封筒等の各種の用紙上にプリント出力するものである。

そして、このレーザープリンタ1は、上ユニット1A及び下ユニット1Bに分割可能であり、上ユニット1Aのカバー3内及び下ユニット1Bのカバー4内には、プリントを行なうための図示しない機構部やその機構部を制御する制御部(プリンタコントローラ)等を収納している。

その上ユニット1Aのカバー3には、その前面に操作パネル5を付設し、また右側面奥部にフオートカートリッジ挿入口6及びエミュレーションカード挿入口7を設け、さらに上部には排出された用紙をストックする上部排紙トレイ8を設けている。

なお、フオートカートリッジ挿入口6は、文字フオートを格納したRAMあるいはROM等を有するフオートカートリッジを挿着するための挿入

口であり、エミュレーションカード挿入口7は、接続するホストシステムとこのプリンタとの間の整合を図るためのエミュレーションプログラムを格納したROMを有するエミュレーションカード(ICカード)を挿着するための挿入口である。

第5図は、このレーザープリンタのプリンタコントローラの構成を示すブロック図である。

このプリンタコントローラ20は、外部インタフェースとしてホストシステム21及び22と接続するためのそれぞれセントロニクス・インタフェース23及びRS-232C・インタフェース24と、内部インタフェースとしてフオートカートリッジ16と接続するためのカートリッジインタフェース25、ICカード17と接続するためのICカードインタフェース26、操作パネル5と接続するためのパネルインタフェース27、及びPEユニット(プリンタエンジン)28と接続するためエンジンインタフェース29とを備えている。

また、コントローラ部としてマイクロコンピュータ(以下「CPU」と略称する)30、ROM31、RAM32と、データ制御部33、アドレ

ス制御部34、ビデオ制御部35とを備えている。

なお、このプリンタコントローラ20内の各部はアドレスバス、制御バス、データバスからなるバスライン36によつて相互に接続されている。

CPU30は、マイクロプロセッサ、ROM、RAM及びI/O等からなる汎用の16ビット又は32ビットのマイクロコンピュータであり、このプリンタコントローラ全体の統括制御を司る。

ROM31はリードオンリメモリであり、CPU30を動作させるための各種プログラム、常駐フォント等を格納している。

RAM32は、大容量のランダムアクセスメモリであり、主としてホストシステム21又は22から転送されてくる文字コード、制御コード等のデータを一時格納するインプットバッファ、そのインプットバッファ上のデータによつて作成されるページデータを格納するページバッファ、そのページバッファ上のデータとフォントデータ等によつてページ単位で作成されるビデオ(ビットマップ)データを展開するビデオバッファ、ホスト

PEユニット28は、感光体ドラム上を画像に応じて光学的に走査するレーザ書き込みユニット、図示しない感光体ドラムとその周囲の各プロセス機構から構成される画像形成ユニット、並びにレジストローラ対等の各ローラ等からなる用紙搬送部などからなる機構部と、その制御部であるエンジンドライバとからなり、プリンタコントローラ20からのコマンド及びビデオデータによつて、エンジンドライバが画像形成ユニット及び用紙搬送部のシーケンス動作とレーザ書き込みユニットへのビデオ変調信号を制御してプリントを実行する。

操作パネル5は第8図に示すように、データインバッファ(ビデオバッファ上にビデオデータ有り)を示す絵文字37を含むLEDの点灯により表示される各絵文字等から構成された表示パネル(インジケータ)38と、各種の操作キー(スイッチ)群39とを備えている。

ところで、第1図及び第2図に請求項1の発明の要部を、第3図に請求項2の発明の要部を示す。

これらの第1図乃至第3図において、セントロ

システム21又は22からのダウンロードフォントあるいはフォントカートリッジ18からのフォントを格納するフォントファイル、及びCPU30が使用するシステムメモリ等に使用される。

データ制御部33は、ページバッファのデータに基づき、ビデオバッファにビデオデータを作成していく場合に使用される。

アドレス制御部34は、ページバッファのデータに基づいてビデオバッファにビデオデータを作る場合のDMA(Direct Memory Access)アドレスを制御するDMAアドレス制御部と、ビデオバッファに作られたビデオデータをビデオクロック(WCLK)に同期させて順次出力していくためのビデオアドレス制御部等によつて構成されている。

ビデオ制御部35は、ビデオバッファに作られたビデオデータが、CPU30の処理単位である例えば32ビットずつ読み出された時、そのパレルビデオデータをシリアルビデオデータに変換してPEユニット28に出力する。

ニクス用のコネクタ23aとセントロニクス・インタフェース回路(以下「インタフェース回路」と略称する)23bとによつて第5図に示したセントロニクス・インタフェース23を構成し、またRS-232C用のコネクタ24aとRS-232C・インタフェース回路(以下「インタフェース回路」と略称する)24bとによつてRS-232C・インタフェース24を構成している。

ここで、この発明に関するCPU30及び各インタフェース回路の動作を説明する。

第1図に示すように、コネクタ23aにホストシステム21からのインタフェースケーブル40がコネクタ40aによつて接続されると、インタフェース回路23bは検出信号Aを出力し、それを受領したCPU30はコマンドによりインタフェース回路23bを選択して設定すなわち有効(ホストシステムと通信可能にする)にし、インタフェース回路24bは無効にする。

また、第2図に示すように、コネクタ24aにホストシステム22からのインタフェースケーブ

ル41がコネクタ41aによつて接続されると、インタフェース回路24bは検出信号Bを出力し、それを受信したCPU30はコマンドによりインタフェース回路24bを選択して設定すなわち有効にし、インタフェース回路23bは無効にする。

さらに、第3図に示すように、コネクタ23a及び24aの両方にそれぞれホストシステム21及び22からのインタフェースケーブル40及び41が接続されると、インタフェース回路23b及び24bはそれぞれ検出信号A及びBを出力する。

CPU30は、検出信号A及びBを入力することにより、常時はコマンドによりインタフェース回路23b及び24bをいずれも有効(各インタフェース回路はそれぞれ割込み信号PINT及びSINTを出力可能にする)にしておくが、例えばホストシステム21からインタフェースケーブル40及びコネクタ40a、23aを介してインタフェース回路23bに先にデータが入力されると、そのインタフェース回路23bがCPU30

タが入力されると、そのインタフェース回路24bがCPU30に割込み信号SINTを出力すると共にホストシステム22からのデータも出力する。

CPU30は、割込み信号SINTを入力すると、インタフェース回路23bにディセーブルにするためのコマンドを送出し、インタフェース回路23bは無効状態(ディセーブル)にして、ホストシステム21からのデータを受信してもCPU30への割込み信号PINT及びデータを出力しないようにする。

その後、インタフェース回路24bによるホストシステム22との間の通信が終了すると、インタフェース回路24bが割込み信号SINTの出力を停止する。

それによつて、CPU30がインタフェース回路23bハイネーブルにするためのコマンドを送出してインタフェース回路23bを再び有効状態(イネーブル)にする。

次に、各検出信号A及びBを出力するための手

に割込み信号PINTを出力すると共にホストシステム21からのデータも出力する。

CPU30は、この割込み信号PINTを入力すると、インタフェース回路24bにディセーブルにするためのコマンド(制御信号でもよい)を送出し、インタフェース回路24bは無効状態(ディセーブル)にして、ホストシステム22からのデータを受信してもCPU30への割込み信号SINT及びデータを出力しないようにする。

その後、インタフェース回路23bによるホストシステム21との間の通信が終了すると、インタフェース回路23bが割込み信号PINTの出力を停止する。

それによつて、CPU30がインタフェース回路24bハイネーブルにするためのコマンドを送出してインタフェース回路24bを再び有効状態(イネーブル)にする。

そして、今度はホストシステム22からインタフェースケーブル41及びコネクタ41a、24aを介してインタフェース回路24bに先にデー

タについて説明する。

第7図は、コントローラ20(レーザプリンタ)と各ホストシステムとの接続関係を示す接続図である。なお、コマンド及びデータの信号ライン及びその送受信回路は図示を省略している。

第7図において、セントロニクス用のコネクタ23a、40a、40b及び21aとしては36ピンのものが使用され、その各ピンの名称(信号名)は第1表に示すとおりである。

また、RS-232C用のコネクタ24a、41a、41b及び22aとしては25ピンのものが使用され、その各ピンの名称は第2表に示すとおりである。

インタフェースケーブル40内の複数の信号ライン50は、第1表に示すピン番号19~30に対応する12本のグラウンド(以下「GND」と記す)ラインであり、それらのGNDライン50の一端がコネクタ40b及び21aを介してホストシステム21内のGNDに接続され、他端がコネクタ40a及び23aを介して(コネクタ23a

〔第1表〕

ピン番号	名称
1	STROBU
2	DATA1
3	DATA2
4	DATA3
5	DATA4
6	DATA5
7	DATA6
8	DATA7
9	DATA8
10	ACKNLG
11	BUSY
12	PEND
13	SLCT
14	NC
15	NC
16	0V
17	CGND
18	+5V
19~30	GND
31	YNIT
32	ERROR
33	GND
34	NC
35	NC
36	NC

〔第2表〕

ピン番号	名称
1	FGND
2	TXD
3	RXD
4	RTS
5	CTS
6	DSR
7	SGND
8	DCD
9	NC
10	NC
11	NC
12	NC
13	NC
14	NC
15	NC
16	NC
17	NC
18	NC
19	NC
20	DTR
21	NC
22	NC
23	NC
24	NC
25	NC

るので、バッファ52から出力される検出信号 \bar{A} はハイレベル・H・(+5V)になる。

また、コネクタ23aにホストシステム21からのインタフェースケーブル40が接続された時には、バッファ52の入力がGNDライン51及び50を介してホストシステム21側のGNDに落ちるので、バッファ52から出力される検出信号 \bar{A} はローレベル・L・(0V)になる。

一方、インタフェースケーブル41内の信号ライン53は、第2表に示すピン番号1に対応する保安用接地(以下「FGND」と記す)ラインであり、そのFGNDライン53の一端がコネクタ41b及び22aを介してホストシステム22内のFGNDに接地され、他端はコネクタ41a及び24aを介してインタフェース回路24bに接続されている。

そして、インタフェース回路24bはバッファ54及びプルアップ抵抗 R_2 を備え、そのバッファ54の入力側(プルアップ抵抗 R_2 を介して電源電圧 V_{cc} (+5V)が印加されている)にコネ

では12本のGNDライン50を1本のGNDライン51にまとめている)インタフェース回路23bにGNDライン51として接続されている。

なお、GNDライン51は12本のGNDラインのうち1本のみでも勿論よい。

そして、インタフェース回路23bはバッファ52及びプルアップ抵抗 R_1 を備え、そのバッファ52の入力側(プルアップ抵抗 R_1 を介して電源電圧 V_{cc} (+5V)が印加されている)にコネクタ23aからのGNDライン51を接続すると共に、従来GNDへの接地に使用していたGNDライン51a(仮想線で示す)を削除することにより、コネクタ23aにホストシステム21からのインタフェースケーブル40が接続されているか否かに応じた検出信号 \bar{A} がバッファ52から出力される。

すなわち、コネクタ23aにホストシステム21からのインタフェースケーブル40が接続されていない時には、電源電圧 V_{cc} がプルアップ抵抗 R_1 を介してバッファ52の入力側に入力され

クタ24aからのGNDライン53を接続すると共に、従来FGNDへの接地に使用していたFGNDライン55a(仮想線で示す)を削除することにより、コネクタ24aにホストシステム22からのインタフェースケーブル41が接続されているか否かに応じた検出信号 \bar{B} がバッファ54から出力される。

すなわち、コネクタ24aにホストシステム22からのインタフェースケーブル41が接続されていない時には、電源電圧 V_{cc} がプルアップ抵抗 R_2 を介してバッファ54の入力側に入力されるので、バッファ54から出力される検出信号 \bar{B} はハイレベル・H・(+5V)になる。

また、コネクタ24aにホストシステム22からのインタフェースケーブル41が接続された時には、バッファ54の入力がFGNDライン53を介してホストシステム22側のFGNDに落ちるので、バッファ54から出力される検出信号 \bar{B} はローレベル・L・(0V)になる。

図8図は、CPU30によるこの発明に係る

処理の具体例を示すフローチャートである。

まず、ステップ1でセントロニクス・インタフェース回路23b及びRS-232C・インタフェース回路24bからの各検出信号が $\overline{A}=\overline{B}='L'$ か否かを判別する。

そして、Noならばステップ2で $\overline{A}='L'$ 、 $\overline{B}='H'$ か否かを判別し、Yesならばステップ3でセントロニクス・インタフェース回路を選択して設定した後、ステップ4で割込み信号 \overline{PINT} が $'L'$ になるのを待ち、割込み信号 \overline{PINT} が $'L'$ になる(ホストシステムからのデータ入力)と、ステップ5でデータインバッファの絵文字(第8図参照)を点灯させる。

その後、ステップ6で割込み信号 \overline{PINT} が $'H'$ になる(ホストシステムからのデータ入力終了)と、ステップ7でデータインバッファの絵文字を消灯させて処理を終了する。

また、ステップ2の判別において $\overline{A}='L'$ 、 $\overline{B}='H'$ でなければステップ8へ進み、今度は $\overline{A}='H'$ 、 $\overline{B}='L'$ か否かを判別する。

マンドを送出し、ステップ7でデータインバッファの絵文字を消灯させて処理を終了する。

また、ステップ13の判別において割込み信号 \overline{PINT} が $'L'$ でなければステップ18へ進み、今度は割込み信号 \overline{SINT} が $'L'$ か否かを判別し、Noならばステップ13へ戻ってこの処理を繰り返す、Yesならばステップ19でセントロニクス・インタフェース回路ヘディセーブルにするためのコマンドを送出し、ステップ20でデータインバッファの絵文字を点灯させる。

その後、ステップ21で割込み信号 \overline{SINT} が $'H'$ になると、ステップ22でセントロニクス・インタフェース回路ハイネーブルにするためのコマンドを送出し、ステップ7でデータインバッファの絵文字を消灯させて処理を終了する。

以上、この実施例においては、セントロニクス用コネクタ及びRS-232C用コネクタのいずれか一方のみにホストシステムからのインタフェースケーブルが接続された時には、対応するインタフェース回路から検出信号が出力され、CPU

そして、Noならばステップ1に戻ってこの処理を繰り返す、またYesならばステップ9でRS-232C・インタフェース回路を選択して設定した後、ステップ10で割込み信号 \overline{SINT} が $'L'$ になるのを待つて、割込み信号 \overline{SINT} が $'L'$ になると、ステップ11でデータインバッファの絵文字を点灯させる。

その後、ステップ12で割込み信号 \overline{SINT} が $'H'$ になると、ステップ7でデータインバッファの絵文字を消灯させて処理を終了する。

一方、ステップ1において検出信号が $\overline{A}=\overline{B}='L'$ ならばステップ13へ進んで割込み信号 \overline{PINT} が $'L'$ か否かを判別し、Yesならばステップ14でRS-232C・インタフェース回路ヘディセーブルにするためのコマンドを送出し、ステップ15でデータインバッファの絵文字を点灯させる。

その後、ステップ16で割込み信号 \overline{PINT} が $'H'$ になると、ステップ17でRS-232C・インタフェース回路ハイネーブルにするためのコ

はそれを受領することによって接続されたインタフェースの種類を判別し、その判別結果に応じてホストシステムとの間でのデータ入出力制御に使用するインタフェース回路としてセントロニクス・インタフェース回路及びRS-232C・インタフェース回路のいずれかを自動的に選択して設定する。

また、セントロニクス用コネクタ及びRS-232C用コネクタの両方にそれぞれホストシステムからのインタフェースケーブルが接続されている時には、CPUは常時セントロニクス・インタフェース回路及びRS-232C・インタフェース回路のいずれも有効(割込み信号を出力可能にする)にしておき、インタフェースケーブルを介していずれか一方のインタフェース回路がデータを入力した時、他方のインタフェース回路をディセーブルにするためのコマンドを与えることによって無効にし、上記一方のインタフェース回路によるホストシステムとの間の通信が終了した時点で、他方のインタフェース回路をイネーブルにす

るためのコマンドによつて無効を解除する。

したがつて、操作パネル上でのキー操作等によるインタフェース回路の選択設定作業が不要になり、その分プリント作業等の能率が向上する。

なお、上記検出信号 \overline{A} 、 \overline{B} を使用せずに、割込み信号 \overline{PINT} 、 \overline{SINT} のみによつてインタフェース回路を自動的に選択設定することもできる。

また、この実施例においては、パラレルインタフェース及びシリアルインタフェースとして、それぞれセントロニクス・インタフェース及びRS-232C・インタフェースを使用した。この発明はその各インタフェースに限るものではない。

さらに、この発明はレーザプリンタに限らず、イメージスキャナ、デジタル複写機、ファクシミリ装置等の各種の入出力機器についても、オフィスコンピュータ、ワードプロセッサ等の外部装置と接続するためのパラレルインタフェースとシリアルインタフェースを備えたものに適用可能である。

(発明の効果)

以上説明したように、この発明によれば、操作パネル上のキーやディップスイッチ等の操作等によるインタフェース回路の選択設定作業が不要になる。

4. 図面の簡単な説明

第1図乃至第3図はこの発明の要部を示すブロック図、

第4図はこの発明の一実施例を示すレーザプリンタの外観斜視図、

第5図は同じくそのプリンタコントローラの構成を示すブロック図、

第6図は同じくその操作パネルの構成を示すレイアウト図、

第7図は同じくそのプリンタコントローラとホストシステムとの接続関係を示す接続図、

第8図はこの実施例のCPU30によるこの発明に係わる処理のフロー図である。

1…レーザプリンタ

20…プリンタコントローラ

21、22…ホストシステム（外部装置）

23…セントロニクス・インタフェース

23a…セントロニクス用コネクタ

23b…セントロニクス・インタフェース回路

24…RS-232C・インタフェース

24a…RS-232C用コネクタ

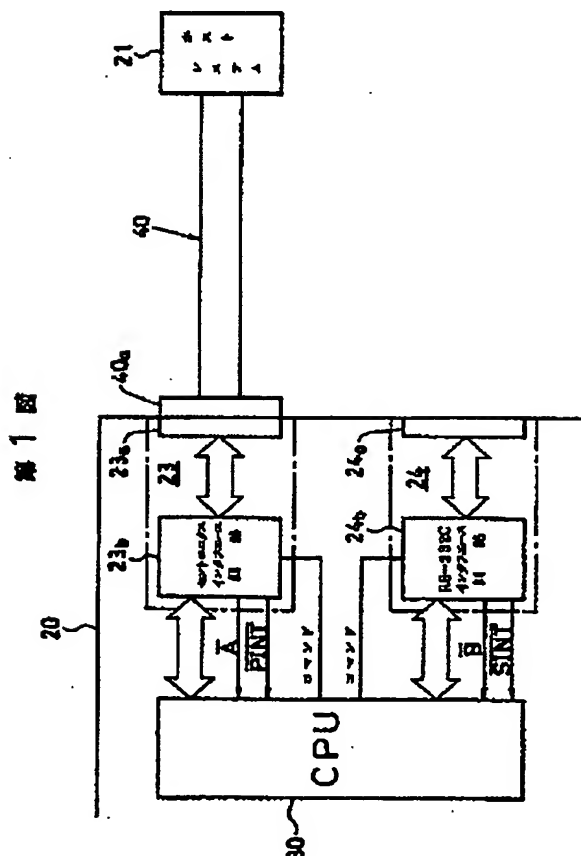
24b…RS-232C・インタフェース回路

30…マイクロコンピュータ（CPU）

38…データインパツファを示す絵文字

40…セントロニクス用インタフェースケーブル

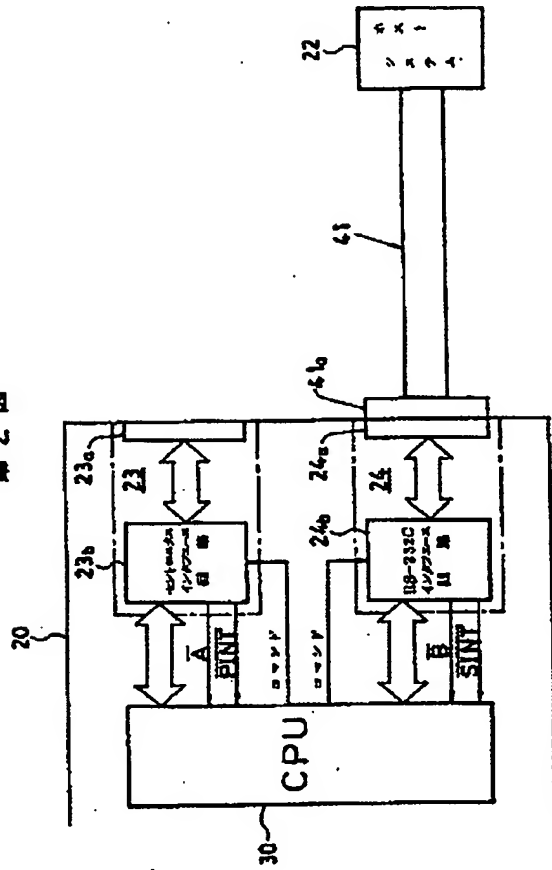
41…RS-232C用インタフェースケーブル



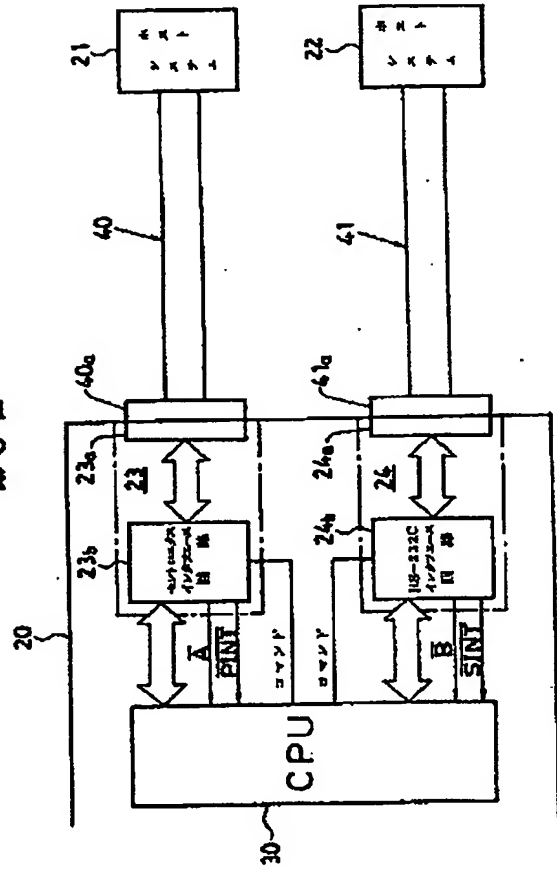
出版人 株式会社 リ コ

代理人 弁 理 士 大 澤 敬

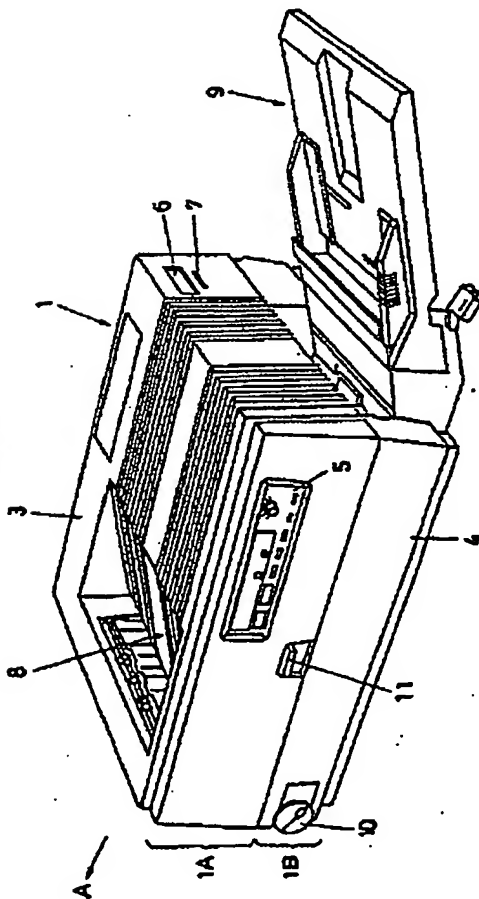
第2図



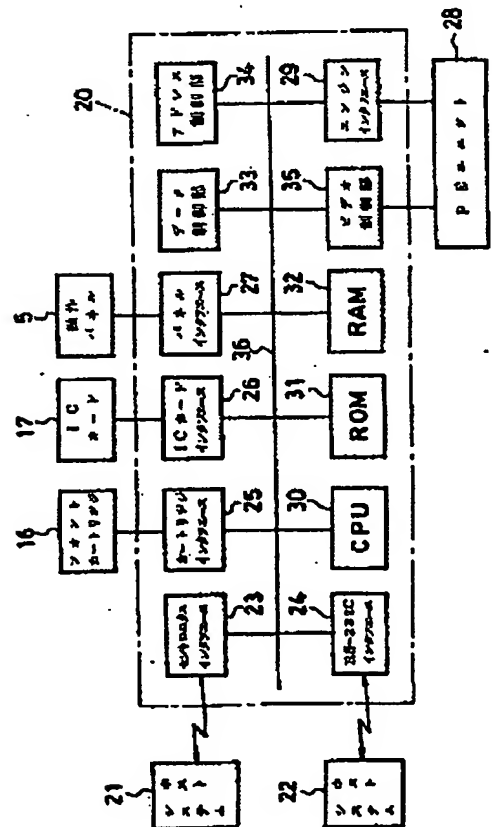
第3図



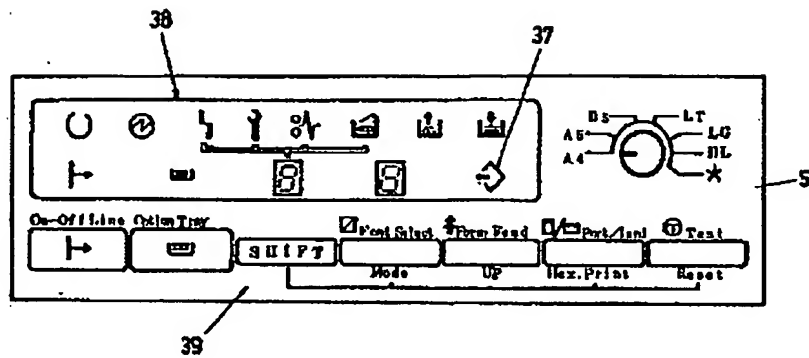
第4図



第5図



第 6 図



第 7 図

